

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月26日

出 願 番 号

Application Number:

特願2002-185710

[ST.10/C]:

[JP2002-185710]

出 願 人

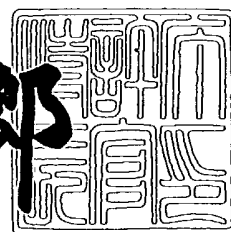
Applicant(s):

パイオニア株式会社
静岡パイオニア株式会社

2003年 1月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3103941

【書類名】 特許願

【整理番号】 56P0689

【提出日】 平成14年 6月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 長久保 哲朗

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 阿多 和久

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【包括委任状番号】 0106474

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動装置、表示制御装置および駆動装置

【特許請求の範囲】

【請求項 1】 駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ラインを介して転送する送信部と、

前記伝送ラインを介して転送された前記駆動パルス生成制御データおよび前記クロックを受信する受信部と、

前記受信部により受信された前記駆動パルス生成制御データおよび前記クロックをシリアル／パラレル変換するシリアル／パラレル変換器と、

前記シリアル／パラレル変換器により変換された前記パルス生成制御データおよび前記クロックに基づいて、表示パネルを駆動する駆動パルスを生成する駆動パルス出力部と、

を備えたことを特徴とする表示パネル駆動装置。

【請求項 2】 表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、

前記データ転送手段は、

前記表示制御部内に、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備えるとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記駆動パルス生成制御データおよび前記クロックを受信する受信部と、

前記受信部により受信された前記駆動パルス生成制御データおよび前記クロックをシリアル／パラレル変換するシリアル／パラレル変換器と、を備えることを

特徴とする表示パネル駆動装置。

【請求項3】 表示パネルの表示を制御する表示制御装置において、
請求項2に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項4】 表示パネルを駆動する駆動装置において、
請求項2に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【請求項5】 アドレスデータを記憶する記憶部、前記記憶部に記憶されたアドレスデータを読み出す読出部、およびシフトクロックを発生するシフトクロック発生部を具備する表示制御部と、

前記シフトクロックに従って前記アドレスデータを順次蓄積するシフトレジスタ、前記シフトレジスタに蓄積された前記アドレスデータをラッチするラッチ回路、および前記ラッチ回路から出力された前記アドレスデータに基づいて表示パネルを駆動する駆動回路を具備する駆動部と、

前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、
を備える表示パネル駆動装置において、

前記データ転送手段は、

前記表示制御部内に、前記アドレスデータおよび前記シフトクロックを平行／シリアル変換する平行／シリアル変換器と、

前記平行／シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、

を備えるとともに、

前記駆動部内に、前記伝送ラインを介して転送された前記アドレスデータおよび前記シフトクロックを受信する受信部と、前記受信部により受信された前記アドレスデータおよび前記シフトクロックをシリアル／平行変換するシリアル／平行変換部と、

を備えることを特徴とする表示パネル駆動装置。

【請求項6】 表示パネルの表示を制御する表示制御装置において、

請求項 5 に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項 7】 表示パネルを駆動する駆動装置において、

請求項 5 に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネルなどのマトリクス方式の表示パネルを駆動する表示パネル駆動装置等に関する。

【 0 0 0 2 】

【従来の技術】

特開平 1 1 - 9 5 7 1 3 号公報には、表示装置内においてデジタルデータである画像データ等をライン上で伝送する表示パネル駆動装置が記載されている。ここでは、このデジタル信号を L V D S (Low Voltage Differential Signaling) で伝送する方式（差動シリアル伝送方式）が用いられている。L V D S による伝送方式は、2 本の信号線を対称的に逆相で駆動し、2 本の信号線の信号の差を伝送する方式であるため、外部から混入するノイズが打ち消しあって信号に影響を与えにくい等の特長がある。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかし、特開平 1 1 - 9 5 7 1 3 号公報に記載された装置では、画像データや同期信号等の制御信号のみを L V D S 方式で転送しており、受信側で使用するクロック信号等は別の伝送路を介して転送している。しかし、このような構成を採用する場合には、受信側において受信される画像データ等とクロック信号との間でスキュー（タイミングずれ）が発生するおそれがある。スキューを解消するために、例えば、クロック信号の経路に遅延回路などを設けてタイミングを調整することが考えられるが、この場合にはタイミングの調整作業が煩雑となる。

【 0 0 0 4 】

本発明は、信号間のスキューを排除することができる表示パネル駆動装置等を提供することを目的とする。

【 0 0 0 5 】

【課題を解決するための手段】

請求項 1 に記載の表示パネル駆動装置は、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器（73，113）と、パラレル／シリアル変換器（73，113）により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ライン（L1，L2）を介して転送する送信部（74，114）と、伝送ライン（L1，L2）を介して転送された駆動パルス生成制御データおよびクロックを受信する受信部（81，121）と、受信部（81，121）により受信された駆動パルス生成制御データおよびクロックをシリアル／パラレル変換するシリアル／パラレル変換器（83）と、シリアル／パラレル変換器（83）により変換されたパルス生成制御データおよびクロックに基づいて、表示パネル（30）を駆動する駆動パルス生成する駆動パルス出力部（18，19，20，21，22等）と、を備えたことを特徴とする。

【 0 0 0 6 】

この表示パネル駆動装置によれば、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換して転送するので、駆動パルス生成制御データおよびクロックの間でスキューが発生しない。

【 0 0 0 7 】

請求項 2 に記載の表示パネル駆動装置は、表示パネル（30）の表示を制御する表示制御部（100A）と、表示制御部（100A）からの信号に基づいて表示パネル（30）を駆動する駆動部（100B）と、表示制御部（100A）および駆動部（100B）の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、データ転送手段は、表示制御部（100A）内に、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器（73，113）と、パラレル／シリアル変換器（73，113）によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変

換して駆動部（100B）に向けて伝送ライン（L1，L2）を介して転送する送信部（74，114）と、を備えるとともに、駆動部（100B）内に、伝送ライン（L1，L2）を介して転送された駆動パルス生成制御データおよびクロックを受信する受信部（81，121）と、受信部（81，121）により受信された駆動パルス生成制御データおよびクロックをシリアル／パラレル変換するシリアル／パラレル変換器（83，123）と、を備えることを特徴とする。

【0008】

この表示パネル駆動装置によれば、駆動パルス生成制御データおよびクロックをパラレル／シリアル変換して転送するので、駆動パルス生成制御データおよびクロックの間でスキューが発生しない。

【0009】

請求項5に記載の表示パネル駆動装置は、アドレスデータを記憶する記憶部（1）、記憶部（1）に記憶されたアドレスデータを読み出す読出部（3）、およびシフトクロックを発生するシフトクロック発生部（5）を具備する表示制御部（100A）と、シフトクロックに従ってアドレスデータを順次蓄積するシフトレジスタ（15）、シフトレジスタ（15）に蓄積されたアドレスデータをラッチするラッチ回路（16）、およびラッチ回路（16）から出力されたアドレスデータに基づいて表示パネルを駆動する駆動回路（17）を具備する駆動部（100B）と、表示制御部（100A）および駆動部（100B）の間でデータ転送するデータ転送手段と、を備える表示パネル駆動装置において、データ転送手段は、表示制御部（100A）内に、アドレスデータおよびシフトクロックをパラレル／シリアル変換するパラレル／シリアル変換器（73）と、パラレル／シリアル変換器（73）によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して駆動部（100B）に向けて伝送ライン（L1）を介して転送する送信部（74）と、を備えるとともに、駆動部（100B）内に、伝送ライン（L1）を介して転送されたアドレスデータおよびシフトクロックを受信する受信部（81）と、受信部（81）により受信されたアドレスデータおよびシフトクロックをシリアル／パラレル変換するシリアル／パラレル変換部（83）と、を備えることを特徴とする。

【 0 0 1 0 】

この表示パネル駆動装置によれば、アドレスデータおよびシフトクロックをパラレル／シリアル変換して転送するので、アドレスデータおよびシフトクロックの間でスキューが発生しない。したがって、シフトレジスタへのアドレスデータの蓄積、蓄積されたアドレスデータのラッチにタイミングのずれがなく、誤動作を生じるおそれがない。

【 0 0 1 1 】

なお、本発明の理解を容易にするために添付図面の参照符号を括弧書きにて付記するが、それにより本発明が図示の形態に限定されるものではない。

【 0 0 1 2 】

【発明の実施の形態】

以下、図 1 ～ 図 9 を参照して、本発明による表示パネル駆動装置の一実施形態について説明する。図 1 は本実施形態の表示パネル駆動装置を示すブロック図である。

【 0 0 1 3 】

図 1 に示すように、本実施形態の表示パネル駆動装置 1 0 0 は、表示制御部 1 0 0 A と、駆動部 1 0 0 B と、を伝送ライン L 1 および L 2 により互いに接続して構成される。

【 0 0 1 4 】

図 1 に示すように、表示制御部 1 0 0 A は、アドレスデータを逐次記憶するフレームメモリ 1 と、フレームメモリ 1 にアドレスデータを書き込むための書込制御部 2 と、フレームメモリ 1 からアドレスデータを読み出すための読出制御部 3 と、装置各部を制御する制御部 5 と、制御部 5 から出力されるクロックおよび読出制御部 3 から出力される信号 H A の論理積をとるアンド回路 6 と、フレームメモリ 1 から読み出されたアドレスデータ等の多ビットのパラレルデータをシリアル差動信号に変換するシリアライザ 7 と、制御部 5 から出力された制御データ等の多ビットのパラレルデータをシリアル差動信号に変換するシリアライザ 1 1 と、を備える。

【 0 0 1 5 】

駆動部100Bは、シリアライザ7から伝送ラインL1を介して転送されたシリアル差動信号を多ビットの平行データに変換するデシリアライザ8と、シリアライザ11から伝送ラインL2を介して転送されたシリアル差動信号を多ビットの平行データに変換するデシリアライザ12と、1ライン分のアドレスデータを記憶するシフトレジスタ15、シフトレジスタ15に1ライン分のアドレスデータが蓄積された時点で、1ライン分のアドレスデータをラッチするラッチ回路16、および1ライン分のアドレスデータに応じて1ライン分のデータパルスを発生させ、このデータパルスをプラズマディスプレイパネル30の列電極Z1～Zmに同時に印加するアドレスドライバ17を具備するアドレスドライバ部18と、Yサステインパルスをプラズマディスプレイパネル30のサステイン電極Y1～Ynに同時に印加するサステインドライバ19と、スキャンパルスをサステイン電極Y1～Ynに順次印加するスキヤンドライバ20と、Xサステインパルスをプラズマディスプレイパネル30のサステイン電極X1～Xnに同時に印加するサステインドライバ21と、リセットパルスを発生するリセットパルス発生回路20A、21A、サステインドライバ19、スキヤンドライバ20およびサステインドライバ21等を制御する駆動制御部22と、を備える。

【0016】

図1に示すように、シリアライザ7は、制御部5からのクロックを受けて送信クロックを生成するPLL部71と、フレームメモリ1から読み出されたアドレスデータ、アンド回路6から出力されたシフトクロック、および制御部5から出力されたパルス生成用制御データを制御部5からのクロックに基づいてそれぞれラッチする入力ラッチ部72と、入力ラッチ部72によりラッチされた平行データをPLL部71からの、制御部5から入力されたクロックのn倍の周波数のクロックに基づいてシリアル化する平行／シリアル変換部73と、平行／シリアル変換部73から出力されたシリアルデータをツイストケーブル等からなる伝送ラインL1を介して差動シリアル送信する送信出力部74と、を備える。

【0017】

デシリアライザ8は、伝送ラインL1を介して転送された差動シリアル信号を

受信する受信部 8 1 と、伝送ライン L 1 を介して転送された転送クロックを受けてクロックを生成する PLL 部 8 2 と、受信部 8 1 から出力されるシリアル信号を PLL 部 8 2 からの、転送クロックの n 倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部 8 3 と、シリアル／パラレル変換部 8 3 から出力されたパラレルデータを PLL 部 8 2 からのクロックでラッチする出力ラッチ部 8 4 と、を備える。なお、上記転送クロックおよび出力ラッチ部 8 4 に与えられるクロックは、PLL 部 7 1 に入力されるクロックと同一周波数である。

【 0 0 1 8 】

このように、本実施形態の表示パネル駆動装置 1 0 0 では、アドレスデータおよびシフトクロックの両者をシリアライザ 7 により一連のシリアルデータに変換し、両者を一括して転送している。このため、アドレスデータとシフトクロックとの間でスキュー（タイミングのずれ）が発生するおそれがない。後述するように、シフトクロックは受信側（駆動部 1 0 0 B 側）のアドレスドライバ部 1 8 においてアドレスデータをラッチするタイミングクロック等として使用されるが、アドレスデータとシフトクロックの間でスキューを発生しないため、誤動作を発生させるおそれがない。また、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。

【 0 0 1 9 】

図 1 に示すように、シリアライザ 1 1 は、制御部 5 からのクロックを受けて送信クロックを生成する PLL 部 1 1 1 と、制御部 5 から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックを、それぞれ制御部 5 から出力されたクロックに基づいてラッチする入力ラッチ部 1 1 2 と、入力ラッチ部 1 1 2 によりラッチされたパラレルデータを、制御部 5 から入力されたクロックの n 倍の周波数のクロックに基づいてシリアル化するパラレル／シリアル変換部 1 1 3 と、パラレル／シリアル変換部 1 1 3 から出力されたシリアルデータをツイストケーブル等からなる伝送ライン L 2 を介して差動シリアル送信する送信出力部 1 1 4 と、を備える。

【 0 0 2 0 】

デシリアライザ12は、伝送ラインL2を介して転送された差動シリアル信号を受信する受信部121と、伝送ラインL2を介して転送された転送クロックを受けてクロックを生成するPLL部122と、受信部121から出力されるシリアル信号をPLL部122からの、転送クロックのn倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部123と、シリアル／パラレル変換部123から出力されたパラレルデータをPLL部122からのクロックでラッチする出力ラッチ部124と、を備える。なお、上記転送クロックおよび出力ラッチ部124に与えられるクロックは、PLL部111に入力されるクロックと同一周波数である。

【0021】

図1に示すように、駆動制御部22には、デシリアライザ12から出力されたクロックが与えられ、駆動制御部22はこのクロックに基づいて駆動パルスの発生タイミングを制御する。

【0022】

このように、本実施形態の表示パネル駆動装置100では、スキन्दライバ用制御データ、サステインドライバ用制御データおよびその他のパルス生成用制御データ等の制御データと、クロックとをシリアライザ11により一連のシリアルデータに変換して転送し、両者を一括して転送している。このため、これらの制御データとクロックとの間でスキュー（タイミングのずれ）が発生するおそれがない。後述するように、転送されたクロックは、受信側（駆動部100B側）の駆動制御部22において上記制御データに基づき駆動パルスを発生する際のタイミングクロックとして使用される。しかし、本実施形態では、これらの制御データおよびクロックの間でスキューを発生しないため、誤動作を発生させるおそれがない。また、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。

【0023】

次に、パネル駆動装置100の動作について説明する。

【0024】

プラズマディスプレイパネル30を駆動する期間としての1フィールドは、複

数のサブフィールドSF1～SFNにより構成される。図2に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセルを所定時間点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドであるSF1の先頭部分には、前のフィールドでの点灯状態をリセットするためのリセット期間がさらに設けられている。このリセット期間では、すべてのセルを点灯セル（壁電荷が形成されているセル）に、または消灯セル（壁電荷が形成されていないセル）にリセットする。前者の場合には、所定のセルを消灯セルに切換え、後者の場合には、後続のアドレス期間において所定のセルを点灯セルに切換える。サステイン期間はサブフィールドSF1～SFNの順に段階的に長くされており、点灯させ続けるサブフィールドの個数を変化させることにより、所定の階調表示が可能とされている。

【0025】

図3に示す各サブフィールドのアドレス期間では、1ラインごとにアドレス走査が行われる。すなわち、第1のラインを構成する行電極Y1に走査パルスが印加されると同時に、列電極Z1～Zmに第1のラインのセルに対応するアドレスデータに応じたデータパルスDP1が印加され、次に第2のラインを構成する行電極Y2に走査パルスが印加されると同時に、列電極Z1～Zmに第2のセルに対応するアドレスデータに応じたデータパルスDP2が印加される。第3のライン以下についても同様に走査パルスおよびデータパルスが同時に印加される。最後に、第nのラインを構成する行電極Ynに走査パルスが印加されると同時に、列電極Z1～Zmに第nのラインのセルに対応するアドレスデータに応じたデータパルスDPnが印加される。上記のようにアドレス期間では、所定のセルを点灯セルから消灯セルに、または消灯セルから点灯セルに切換える。

【0026】

このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが、それぞれ点灯セルあるいは消灯セルのいずれかに設定されており、次のサステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図3に示すように、サステイン期間では行電極X1～Xnおよび行電極Y1～Ynに対し、XサステインパルスおよびYサステインパルスが、それ

ぞれ所定のタイミングで繰り返し印加される。そして、最後のサブフィールド S F N には、全セルを消灯セルに設定する消去期間が設けられている。

【 0 0 2 7 】

次に、プラズマディスプレイパネル 3 0 の駆動に用いられる各種制御データおよびクロックの信号処理について説明する。

【 0 0 2 8 】

図 1 に示すように、フレームメモリ 1 から読み出されたアドレスデータ、アンド回路 6 から出力されたシフトクロック、および制御部 5 から出力されたパルス生成用制御データは、制御部 5 からのクロックに基づいてパラレル／シリアル変換部 7 3 によりシリアル変換され、送信出力部 7 4 により差動シリアル伝送方式（L V D S 伝送方式）に従った信号に変換される。このようにして得られた差動シリアル信号（L V D S 信号）が、伝送ライン L 1 を介して高速 L V D S データ転送される。ここで、アドレスデータは R、G、B の各セルに対するサブフィールドごとのビットデータ（シリアルデータ）であり、R、G、B のそれぞれのシリアルデータがシフトクロックおよびパルス生成用制御データとともにシリアルライザ 7 にパラレルに入力される。これらのパラレルデータが、シリアルライザ 7 においてシリアル変換される。

【 0 0 2 9 】

伝送ライン L 1 を介して転送されたシリアル信号は、デシリアルライザ 8 においてパラレル変換され、元のパラレル信号が復元される。

【 0 0 3 0 】

図 4 はアドレスデータの書込みとラッチイネーブルのタイミングを示す図である。デシリアルライザ 8 から出力されたアドレスデータは 1 ライン分ずつ順次シフトレジスタ 1 5 に書き込まれる。図 4 に示すように、1 ライン分の最後のデータ（データ z）を書き込むためのシフトクロックの立ち上がりと同時に、ラッチ回路 1 6 に入力されるラッチイネーブルが立ち上がるため、1 ライン分のデータ（例えば、データ a ～データ z）がラッチされてアドレスドライバ 1 7 に同時に入力される。これにより、上記のように、アドレス期間において行電極 Y 1 ～ Y n に順次走査パルスが印加されると同時に、列電極 Z 1 ～ Z m に所定のアドレスデ

ータに応じたデータパルスDP1～DPnが印加される。このラッチイネーブルはシフトクロックに基づいてラッチイネーブル生成部16Aにおいて生成される。

【0031】

ところで、本実施形態では、フレームメモリ1からアドレスデータを読み出している間のみ読出制御部3から信号HAを出力するようにしている。図1に示すように、この信号HAおよび制御部5から出力されるクロックをアンド回路6に入力することによって、信号HAが出力されている（「H」となっている）期間のみクロックを通過させ、シフトクロックとして出力している。すなわち、フレームメモリ1からアドレスデータが読み出されていない期間には、シフトクロックの供給を停止するようにしている。このため、図4に示すように、アドレスデータが読み出されていない期間はシフトクロックが供給されないので、この間、シフトレジスタ15のデータが更新されず、シフトレジスタ15では正規のラッチイネーブルの信号が立ち上がったときの記憶状態が維持される。このため、図4に示すように、ノイズがラッチイネーブルに重畳された場合でも、ノイズによりラッチされるデータが正規のアドレスデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイ30には正常なアドレスデータに従ったデータパルスが印加されることとなる。

【0032】

デシリアライザ8から出力されたパルス生成用制御データは、アドレスドライバ17に向けて駆動パルスを出力するアドレス共振電源回路17A（図1）に設けられたスイッチのオン／オフを制御するためのデータである。アドレス共振電源回路17Aの具体例については後述する。

【0033】

一方、図1に示すように、制御部5から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックは、制御部5からのクロックに基づいてパラレル／シリアル変換部113によりシリアル変換され、送信出力部114により差動シリアル伝送方式

(LVDS伝送方式)に従った信号に変換される。このようにして得られた差動シリアル信号(LVDS信号)が、伝送ラインL2を介して高速LVDSデータ転送される。ここで、スキヤンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックはシリアライザ11に平行に入力され、これらの平行データが、シリアライザ11においてシリアル変換される。

【0034】

伝送ラインL2を介して転送されたシリアル信号は、デシリアライザ12において平行変換され、元の平行信号が復元される。

【0035】

デシリアライザ12から出力されたスキヤンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ駆動制御部22に入力される。駆動制御部22では、スキヤンドライバ用制御データに基づいてスキヤンドライバ20に設けられたスイッチング素子をオン/オフする信号を、サステインドライバ用制御データに基づいてサステインドライバ19、21に設けられたスイッチング素子をオン/オフする信号を、その他のパルス生成用制御データに基づいてリセットパルス、消去パルス等を発生させるためのスイッチング素子をオン/オフする信号を、それぞれ生成する。

【0036】

上記のように、駆動制御部22には、デシリアライザ12から出力された平行信号に含まれるクロックが与えられ、駆動制御部22はこのクロックに基づいて動作タイミングを制御する。

【0037】

次に、図5および図6を参照して、アドレス共振電源回路17Aおよびアドレスドライバ17の具体例について説明する。

【0038】

図5に示すアドレス共振電源回路17Aは、所定の振幅を有する共振パルス電源電位を発生して図1に示す電源ラインZに出力する。アドレス共振電源回路17AにおけるコンデンサC1Pは、その一端がプラズマディスプレイ30の接地

電位 V_s に接地されている。スイッチング素子 S_{1P} がオン状態の場合には、上記コンデンサ C_{1P} の他端に生じた電位をコイル L_{1P} およびダイオード D_{1P} を介して電源ライン Z に印加する。スイッチング素子 S_{2P} がオン状態の場合には電源ライン Z の電位をコイル L_{2P} およびダイオード D_{2P} を介してコンデンサ C_{1P} の他端に印加する。この際、コンデンサ C_{1P} は電源ライン Z 上の電位によって充電される。スイッチング素子 S_{3P} がオン状態の場合には、直流電源 B_{1P} による電源電位 V_a を電源ライン Z 上に印加する。なお、この直流電源 B_{1P} の負側端子は、プラズマディスプレイパネル 30 の接地電位 V_s に接地されている。

【0039】

図5に示すように、アドレスドライバ17には、デシリアライザ8から出力された1行分 (m 個) の画素データビット $DB_1 \sim DB_m$ の各々に応じて、それぞれ独立してオン/オフ制御されるスイッチング素子 $SWZ_1 \sim SWZ_m$ および $SWZ_{1o} \sim SWZ_{mo}$ が設けられている。スイッチング素子 $SWZ_1 \sim SWZ_m$ の各々は、それぞれに供給された画素データビット DB が論理レベル“1”である場合に限りオン状態となって、電源ライン Z 上に印加されている共振パルス電源電位をプラズマディスプレイパネル30の列電極 $Z_1 \sim Z_m$ に印加する。一方、スイッチング素子 $SWZ_{1o} \sim SWZ_{mo}$ 各々は、それぞれ画素データビット DB が論理レベル“0”である場合に限りオン状態となって、列電極上の電位を接地電位 V_s に接地する。

【0040】

以下に、図6を参照してアドレス共振電源回路17Aおよびアドレスドライバ17のアドレス期間における動作について説明する。

【0041】

図5に示すように、アドレス共振電源回路17Aには、制御部5から出力され転送されてきたパルス生成用制御データが入力される。このパルス生成用制御データは、スイッチング素子 $SW_{1P} \sim SW_{3P}$ をオン/オフするためのデータである。図6に示すように、パルス生成用制御データに従ってスイッチング素子 SW_{1P} 、 SW_{3P} 、 SW_{2P} が順に繰り返しオンするように各スイッチング素子

が反転を繰り返す。このような動作により、電源ラインZ上の電位が周期的に上昇する。この周期的な電位の上昇区間はスキャンドライバ20による走査タイミングに一致している。

【0042】

このとき、電源ラインZ上の電位が上昇しているタイミングにあわせて、アドレスドライバ17のスイッチング素子SWZ1～SWZmおよびSWZ1o～SWZmoには、所定の列電極Z1～Zmに対応した画素データビットDBが入力される。図6では、第i列における第1行～第7行に対応した画素データビットDBのビット系列が、

[1、0、1、0、1、0、1]

の場合を示している。この画素データビットDBは、ラッチ回路16によりラッチされたアドレスデータに他ならない。アドレス期間では、以上のような動作を各列について順次実行することにより、各列ごとにセルを点灯セル／消灯セルに設定することができる。

【0043】

次に、図7および図8を参照して、サステインドライバ19、21およびスキャンドライバ20等の具体例について説明する。

【0044】

サステインドライバ21は、直流の電圧VSを発生する直流電源B1、スイッチング素子S1～S4、コイルL1およびL2、ダイオードD1およびD2、コンデンサC1から構成される。スイッチング素子S1がオン状態の場合には、コンデンサC1の一端上の電位を、コイルL1およびダイオードD1を介して行電極Xiに印加する。スイッチング素子S2がオン状態の場合には、行電極Xi上の電位を、コイルL2およびダイオードD2を介してコンデンサC1の一端に印加する。スイッチング素子S3がオン状態の場合には、直流電源B1が生成する電圧VSを行電極Xiに印加する。スイッチング素子S4がオン状態の場合には、行電極Xiを接地する。

サステインドライバ21のスイッチング素子S1～S4は、制御部5から出力され転送されてきたサステインドライバ用制御データに基づいてオン／オフが制

御される。

【 0 0 4 5 】

リセットパルス発生回路 2 1 A は、直流の電圧 V_{R_x} を発生する直流電源 B 2、スイッチング素子 S 7、抵抗 R 1 から構成される。直流電源 B 2 の正側端子は接地されており、その負側端子はスイッチング素子 S 7 に接続されている。スイッチング素子 S 7 がオン状態の場合、直流電源 B 2 の負側端子電圧である電圧 $-V_R$ を、抵抗 R 1 を介して行電極 X i に印加する。

リセットパルス発生回路 2 1 A のスイッチング素子 S 7 は、制御部 5 から出力され転送されてきたその他のパルス生成用制御データに基づいてオン／オフが制御される。

【 0 0 4 6 】

サステインドライバ 1 9 は、直流の電圧 V_S を発生する直流電源 B 3、スイッチング素子 S 1 1 ~ S 1 4、コイル L 3 および L 4、ダイオード D 3 および D 4、コンデンサ C 2 から構成される。スイッチング素子 S 1 1 がオン状態の場合、コンデンサ C 2 の一端上の電位を、コイル L 3 およびダイオード D 3 を介してライン 3 1 上に印加する。スイッチング押し S 1 2 がオン状態の場合、ライン 3 1 上の電位を、コイル L 4 およびダイオード D 4 を介してコンデンサ C 2 の一端に印加する。スイッチング素子 S 1 3 がオン状態の場合、直流電源 B 3 が発生した電圧 V_S をライン 3 1 に印加する。スイッチング素子 S 1 4 がオン状態の場合、ライン 3 1 を接地する。

【 0 0 4 7 】

サステインドライバ 1 9 のスイッチング素子 S 1 1 ~ S 1 4 は、制御部 5 から出力され転送されてきたサステインドライバ用制御データに基づいてオン／オフが制御される。

【 0 0 4 8 】

次に、リセットパルス発生回路 2 0 A は、直流の電圧 V_{R_y} (但し、 $|V_{R_y}| < |V_{R_x}|$) を発生する直流電源 B 4、スイッチング素子 S 1 5、S 1 6、抵抗 R 2 から構成される。直流電源 B 4 の正側端子は接地されており、その負側端子はスイッチング素子 S 1 6 に接続されている。スイッチング素子 S 1 6 がオ

ン状態の場合、直流電源B 4の正側端子電圧である電圧 V_{Ry} を抵抗R 2を介してライン3 2上に印加する。スイッチング素子S 1 5がオン状態の場合には、ライン3 1とライン3 2とを接続する。

【0049】

リセットパルス発生回路2 0 Aのスイッチング素子S 1 5、S 1 6は、制御部5から出力され転送されてきたその他のパルス生成用制御データに基づいてオン／オフが制御される。

【0050】

スキャンドライバ2 0は、行電極 $Y_1 \sim Y_n$ ごとに設けられており、それぞれ直流の電圧 V_h を発生する直流電源B 5、スイッチング素子S 2 1、S 2 2、ダイオードD 5およびD 6から構成される。スイッチング素子S 2 1がオン状態の場合、直流電源B 5の正側端子と、行電極Yと、ダイオードD 6のカソード端とを共に接続する。スイッチング素子S 2 2がオン状態のとき、直流電源B 5の負側端子と、行電極Yと、ダイオードD 5のアノード端とを共に接続する。

【0051】

スキャンドライバ2 0のスイッチング素子S 2 1、S 2 2は、制御部5から出力され転送されてきたスキャンパルス用制御データに基づいてオン／オフが制御される。

【0052】

図8はアドレスドライバ1 7、サステインドライバ1 9および2 1、スキャンドライバ2 0、リセットパルス発生回路2 0 Aおよび2 1 Aの各々から、プラズマディスプレイパネル3 0のアドレス電極 $Z_1 \sim Z_m$ 、行電極 $X_1 \sim X_n$ および $Y_1 \sim Y_n$ に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【0053】

図8に示すように、リセット期間 R_c ではリセットパルス発生回路2 1 Aおよび2 0 Aが行電極 $X_1 \sim X_n$ および $Y_1 \sim Y_n$ の各々に対してリセットパルス R_{PX1} および R_{PY1} を同時に印加する。これにより、すべてのセルにおいて行電極間で放電が生じて、各セルには一様の壁電荷が形成される。これによりすべ

てのセルが点灯セルに初期化される。

【 0 0 5 4 】

アドレス期間 W_c では、アドレスドライバ 1 7 が、各行ごとの画素データパルス群を順次列電極 $Z_1 \sim Z_m$ に印加していく。この画素データパルス群は上記画素データビット DB のビット系列に対応している。このとき、スキヤンドライバ 2 0 は、画素データパルス群の印加と同一タイミングで走査パルス SP を発生し、走査パルス SP を行電極 $Y_1 \sim Y_n$ へと順次印加していく。このとき、セルでは一方の行電極に走査パルス SP が印加され、且つアドレス電極に高電圧の画素データパルスが印加された場合にのみ行電極とアドレス電極との間で放電（選択消去放電）が生じ、そのセルに残存していた壁電荷が消去され、そのセルは消灯セルに移行する。その他のセルについては壁電荷が残留し、それらのセルは点灯セルのまま維持される。このようにして、アドレス期間 W_c では、すべてのセルをアドレスデータに従って点灯セルおよび消灯セルに設定する。

【 0 0 5 5 】

次に、サステイン期間 I_c では、サステインドライバ 2 1 および 1 9 は、行電極 $X_1 \sim X_n$ および $Y_1 \sim Y_n$ に対して交互に、パルス振幅 V_s のサステインパルス IPX および IPY を印加する。このとき、アドレス期間において壁電荷が残留している点灯セルのみが繰り返して発光する。

【 0 0 5 6 】

また、1 フィールド内の最後のサブフィールド（図 8 では、サブフィールド SF_{14} ）には消去期間 E が設けられ、ここではアドレスドライバ 1 7 は消去パルス AP を発生して、これを列電極 $Z_1 \sim Z_m$ に印加する。一方、スキヤンドライバ 2 0 は消去パルス AP と同時に消去パルス EP を発生してこれを行電極 $Y_1 \sim Y_n$ 各々に印加する。これら消去パルス AP および EP の同時印加により、すべてのセルで消去放電が発生し、壁電荷が消滅する。

【 0 0 5 7 】

図 9 はこのような選択消去アドレス法を採用した場合に、アドレスドライバ 1 7、サステインドライバ 1 9 および 2 1、スキヤンドライバ 2 0、リセットパルス発生回路 2 0 A および 2 1 A からプラズマディスプレイパネル 3 0 に印加する

駆動パルスの印加タイミングおよび各スイッチ素子の切り替えタイミングを示す図である。

【0058】

図9についての詳細説明は省略するが、このように、アドレスドライバ17、サステインドライバ19および21、スキन्दライバ20、リセットパルス発生回路20Aおよび21Aに設けられた多数のスイッチング素子を制御することにより、所望の駆動パルスをプラズマディスプレイパネル30の各電極に印加することができる。

【0059】

以上説明したように、本実施形態の形態の表示パネル駆動装置100では、制御部5から出力されたクロックを用いて生成したシフトクロックを用いて、アドレスデータをシフトレジスタ15に蓄積するとともに、シフトレジスタ15に蓄積されたアドレスデータをラッチしている。しかし、表示パネル駆動装置100では、アドレスデータおよびシフトクロックの両者をシリアルライザ7により一連のシリアルデータに変換して転送しており、いわばシフトクロックもアドレスデータと同時にデータ化したうえで両者を一括して転送している。このため、アドレスデータとシフトクロックとの間でスキューが発生するおそれがなく、遅延回路等のタイミング合わせのための手段を必要としない。

【0060】

また、スキन्दライバ用制御データ、サステインドライバ用制御データおよびその他のパルス生成用制御データ等の制御データと、クロックとをシリアルライザ11により一連のシリアルデータに変換して転送している。このため、これらの制御データとクロックとの間でスキューが発生するおそれがない。したがって、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としない。

【0061】

なお、本実施形態では、LVDSを用いた差動シリアル伝送方式を採用しているため、ノイズの影響を受けにくく、外部に対するノイズの輻射が減少する等の利点がある。

【0062】

上記実施形態におけるアドレスデータ、パルス生成用制御データ、スキन्दライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ、各請求項に記載された「駆動パルス生成制御データ」に対応する。なお、駆動パルス生成制御データは、上記実施形態で示されたデータに限定されない。

【0063】

上記実施形態では、表示パネルとしてプラズマディスプレイパネルを例示しているが、本発明は表示パネルとして液晶表示パネル、EL表示パネル等の各種パネルに対し適用できる。

【図面の簡単な説明】

【図1】

本実施形態の表示パネル駆動装置を示すブロック図。

【図2】

1 フィールドの構成を示す図。

【図3】

1 サブフィールド内の駆動パルスを示す図。

【図4】

ラッチイネーブルによりラッチされるアドレスデータを示す図。

【図5】

アドレス共振電源回路およびアドレスドライバの構成を示す図。

【図6】

アドレス共振電源回路およびアドレスドライバのアドレス期間における動作を示す図。

【図7】

サステインドライバおよびスキन्दライバ等の構成を示す図。

【図8】

アドレス電極および行電極に印加される各種駆動パルスの印加タイミングの一例を示す図。

【図 9】

選択消去アドレス法を採用した場合における駆動パルスの印加タイミングおよび各スイッチ素子の切り替えタイミングを示す図。

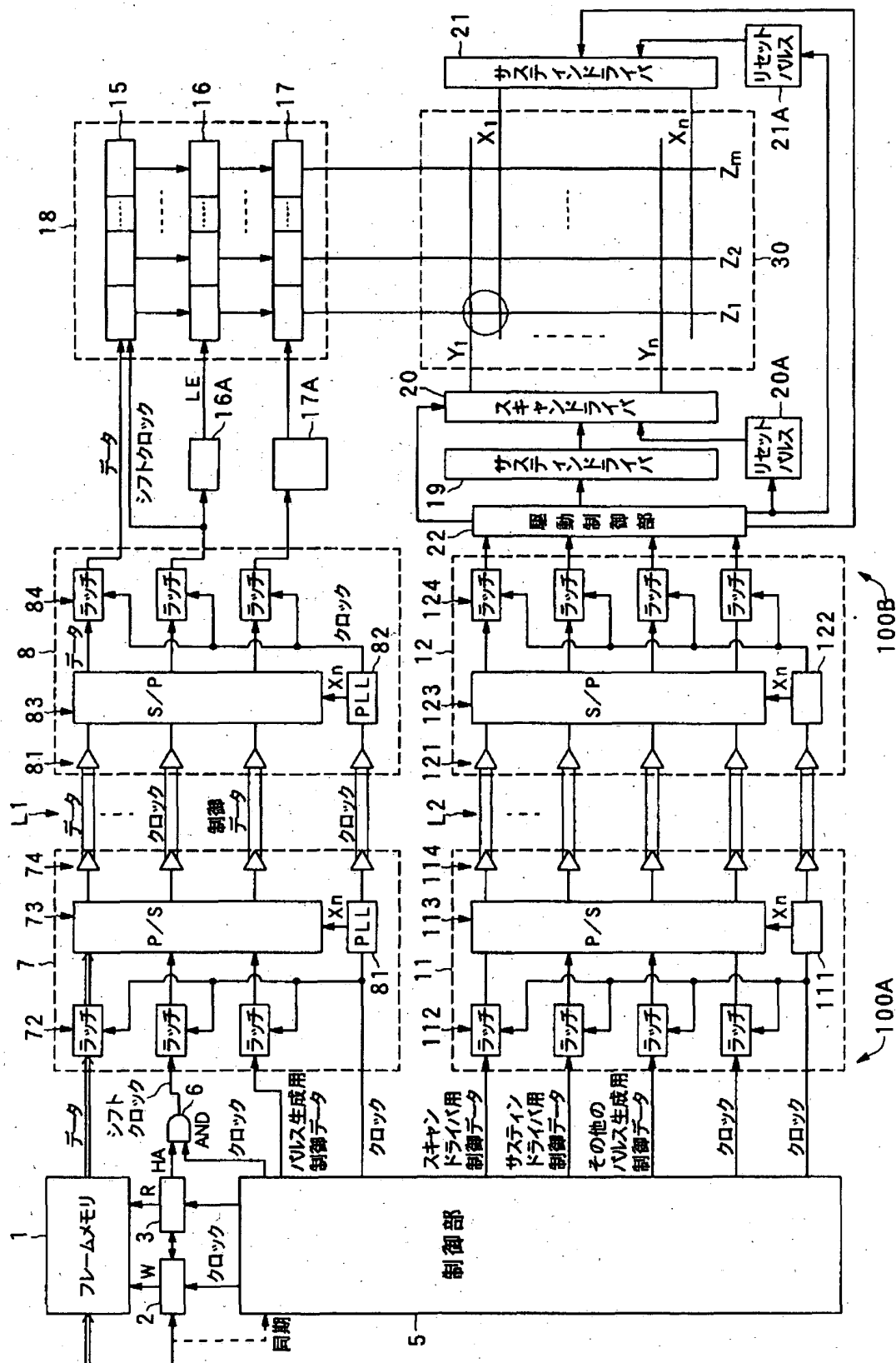
【符号の説明】

- 1 フレームメモリ（記憶部）
- 3 読出制御部（読出部）
- 5 制御部（シフトクロック発生部）
- 1 5 シフトレジスタ
- 1 6 ラッチ回路
- 1 7 アドレスドライバ（駆動回路）
- 1 8 アドレスドライバ部（駆動パルス出力部）
- 1 9, 2 1 サステインドライバ（駆動パルス出力部）
- 2 0 スキャンドライバ（駆動パルス出力部）
- 2 0 A, 2 1 A リセットパルス発生回路（駆動パルス出力部）
- 2 2 駆動制御部（駆動パルス出力部）
- 3 0 プラズマディスプレイパネル（表示パネル）
- 7 3, 1 1 3 パラレル／シリアル変換器
- 7 4, 1 1 4 送信出力部（送信部）
- 8 1, 1 2 1 受信部
- 8 3 シリアル／パラレル変換器
- 1 0 0 A 表示制御部
- 1 0 0 B 駆動部
- L 1, L 2 伝送ライン

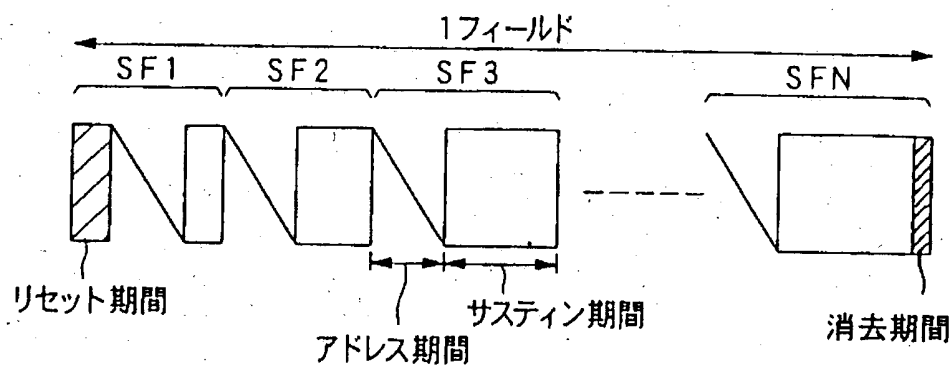
【書類名】

図面

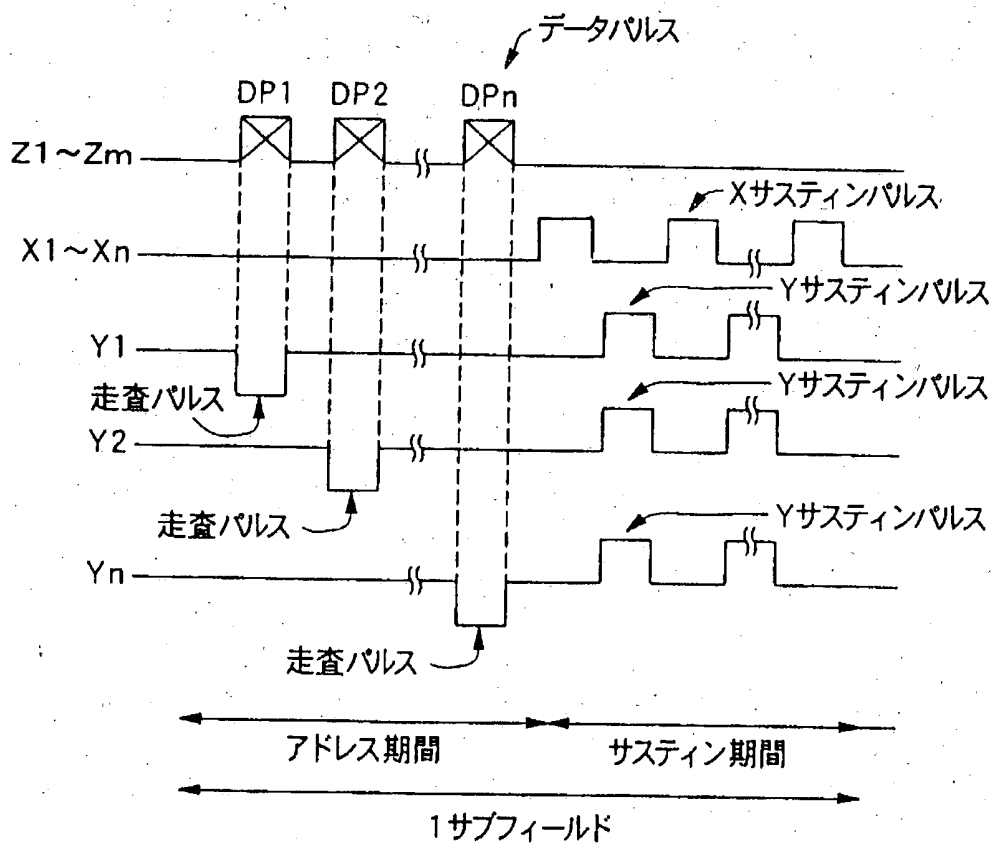
【图 1】



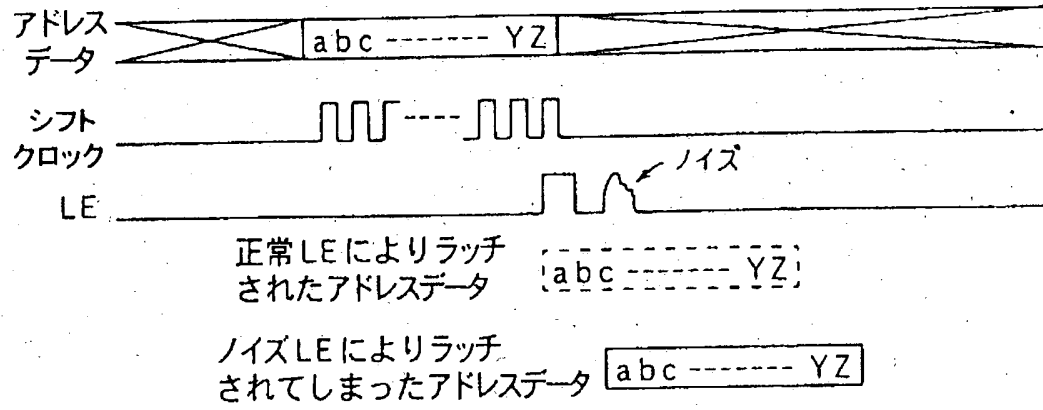
【図 2】



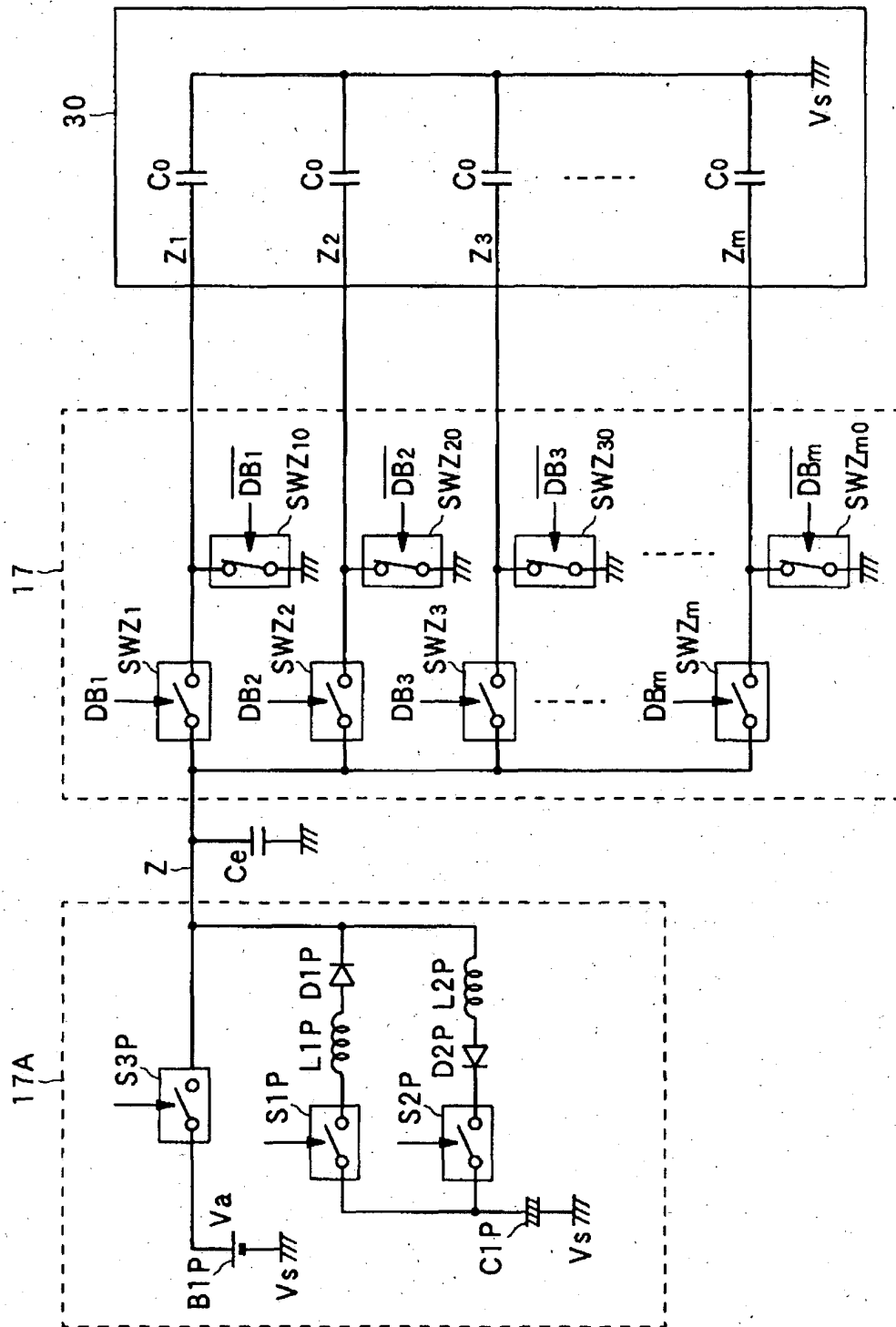
【図 3】



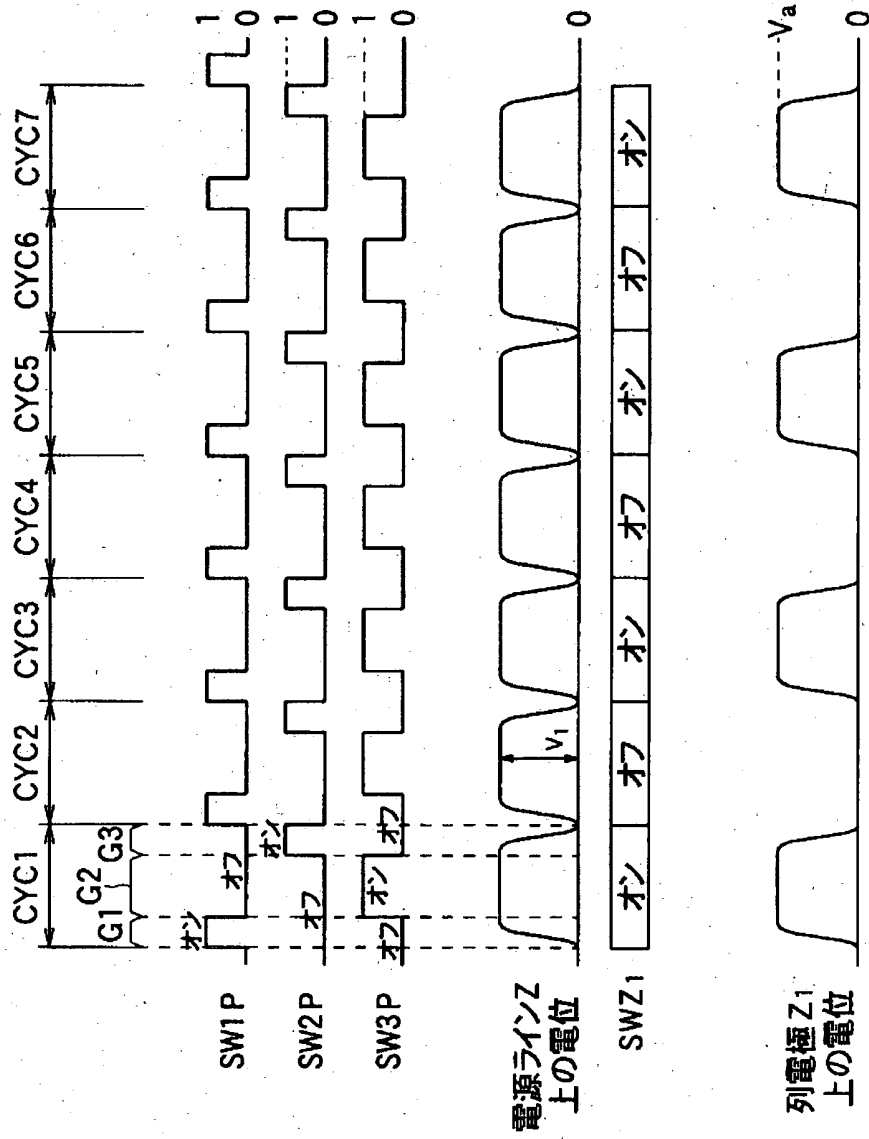
【図4】



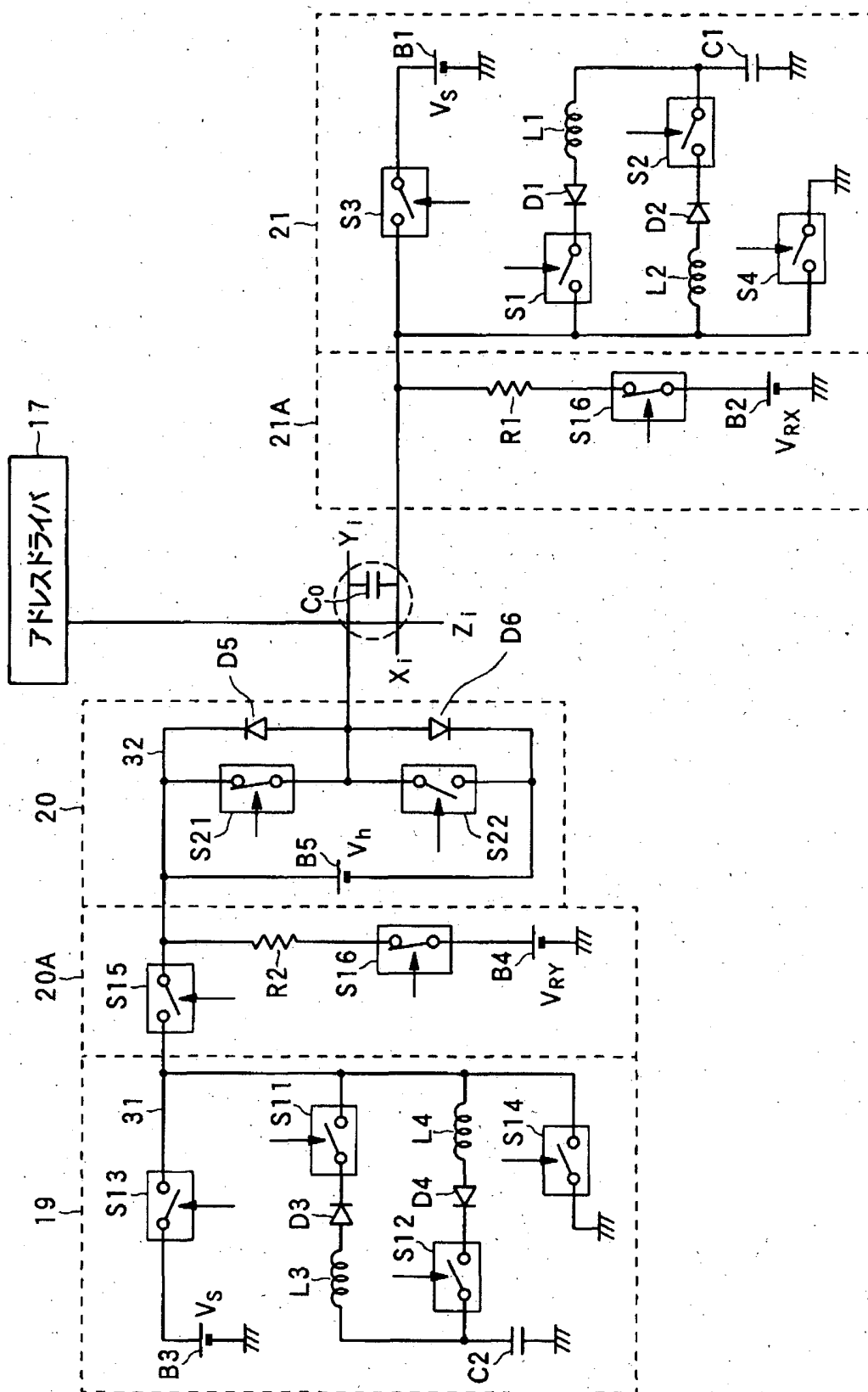
【図5】



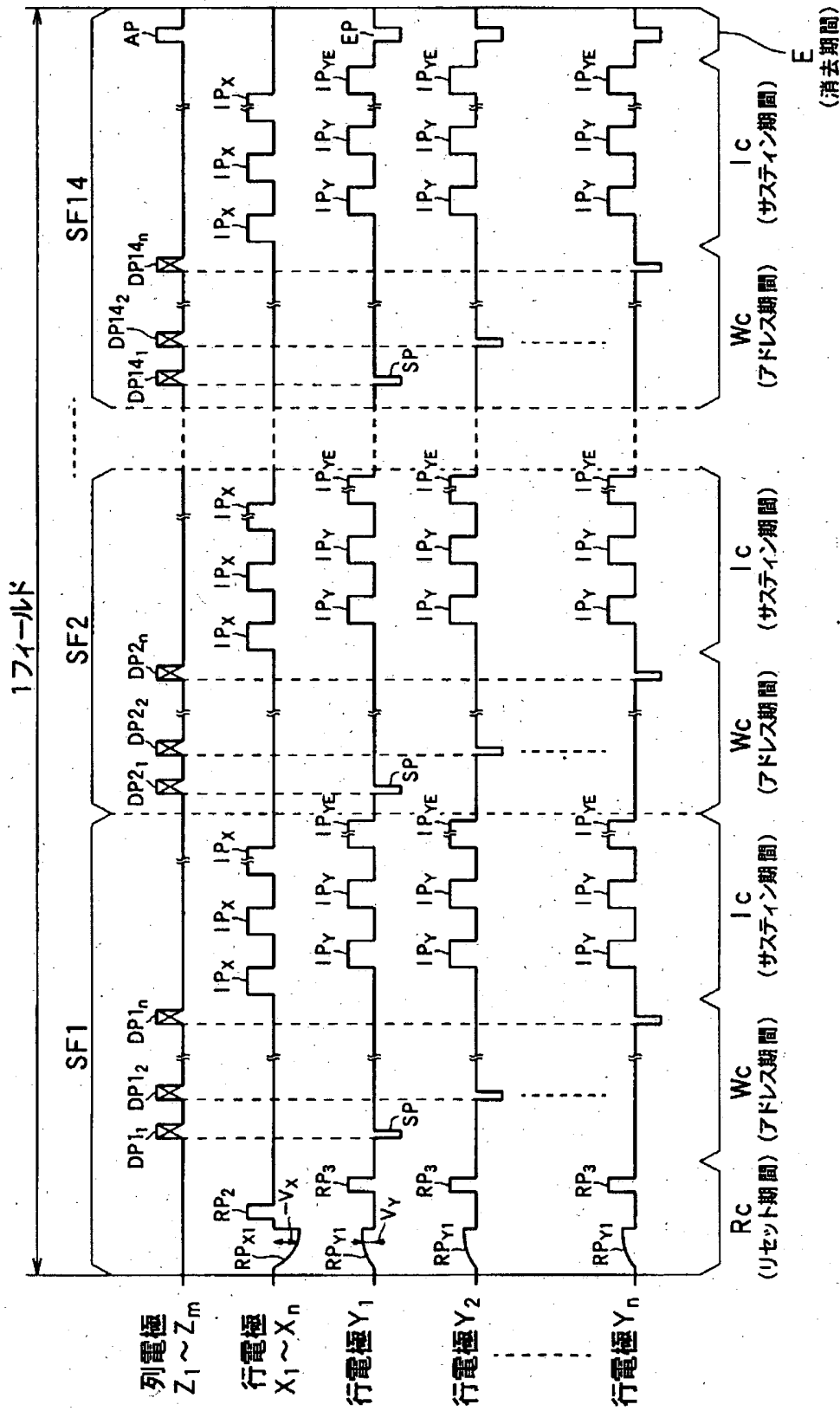
【図6】



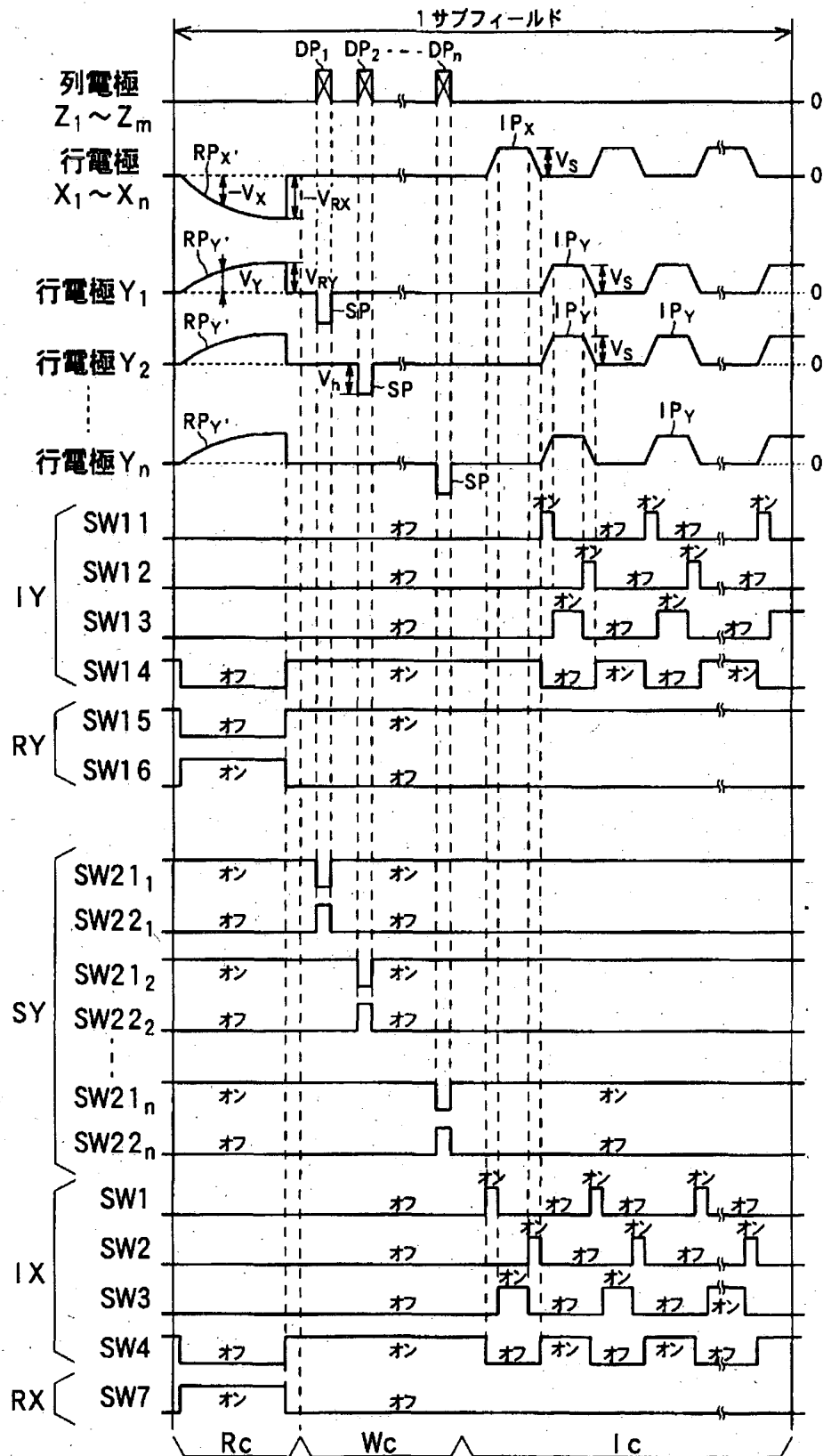
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 信号間のスキューを排除することができる表示パネル駆動装置等を提供する。

【解決手段】 駆動パルス生成制御データおよびクロックをパラレル／シリアル変換するパラレル／シリアル変換器 7 3, 1 1 3 と、パラレル／シリアル変換器 7 3, 1 1 3 により変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ライン L 1, L 2 を介して転送する送信部 7 4, 1 1 4 と、伝送ライン L 1, L 2 を介して転送された駆動パルス生成制御データおよびクロックを受信する受信部 8 1, 1 2 1 と、受信部 8 1, 1 2 1 により受信された駆動パルス生成制御データおよびクロックをシリアル／パラレル変換するシリアル／パラレル変換器 8 3 と、を備える。駆動制御部 2 2、アドレスドライバ部 1 8、サステインドライバ 1 9, 2 1、スキヤンドライバ 2 0 等はシリアル／パラレル変換器 8 3 により変換されたパルス生成制御データおよびクロックに基づいて、駆動パルスを発生させる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都目黒区目黒1丁目4番1号
氏 名 パイオニア株式会社

出 願 人 履 歴 情 報

識別番号 [398050283]

1. 変更年月日 1998年 7月16日

[変更理由] 新規登録

住 所 静岡県袋井市鷺巣字西ノ谷15の1

氏 名 静岡パイオニア株式会社